



LELI 3414
PATENT

2631 #5
RECEIVED
MAY 12 2001
Technology Center 2600

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application of Shih-Heng Chen

Serial No. 09/764,516

Filed January 18, 2001

Confirmation No. Not yet assigned

For CIRCUIT AND METHOD OF SYMBOL TIMING RECOVERY IN PHASE
MODULATION SYSTEMS

March 7, 2001

LETTER TO THE PATENT AND TRADEMARK OFFICE

TO THE ASSISTANT COMMISSIONER FOR PATENTS,

SIR:

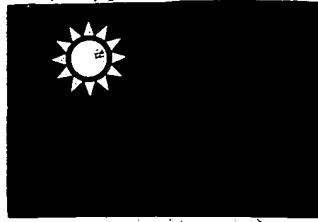
- * Enclosed is a certified copy of the Republic of China priority document, Republic of China (Taiwan) Application No. 89123972 to be filed in the above-referenced application.

Respectfully submitted,

Robert M. Bain, Reg. No. 36,736
SENNIGER, POWERS, LEAVITT & ROEDEL
One Metropolitan Square, 16th Floor
St. Louis, Missouri 63102
(314) 231-5400

Express Mail Label No. EL 757703972 US

RECEIVED
OCT 24 2001
TC 170



中華民國經濟部智慧財產

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder.

申請日：西元 2000 年 11 月 13 日。
Application Date

申請案號：089123972
Application No.

申請人：凌源通訊股份有限公司
Applicant(s)

RECEIVED
OCT 24 2001
TC 1700

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

陳明邦

發文日期：西元 2001 年 2 月
Issue Date

發文字號：
Serial No. 09011002494

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中 文	相位調解之符號時序回復電路及其方法
	英 文	
二、發明 創作 人	姓 名	陳仕衡
	國 籍	中華民國
	住、居所	桃園市桃鶯路275巷20號
三、申請人	姓 名 (名稱)	凌源通訊股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	桃園縣中壢市環西路121號3樓
代表人 姓 名	陳風河	

裝

訂

線

四、中文發明摘要（發明之名稱： 相位調解之符號時序回復電路及其方法 ）

本發明揭示一種相位解調之符號時序回復電路及其方法，係在極座標平面藉由相鄰符號間同一取樣點取得同相信號與正交信號之相位差後，與一預設相位值相減取平方當作運算子，再逐一計算一符號內每一取樣點之相位差總值，而找出符號週期中之最佳取樣點位置，以正確地回復信號序列之符號時序。藉由以上特性，本發明不僅電路結構簡單，且具有簡化運算步驟及縮短執行時間之優點。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要（發明之名稱：

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國（地區） 申請專利，申請日期： 案號： 有 無主張優先權

本案在向中華民國提出申請前未曾向其他國家提出申請專利。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

有關微生物已寄存於： 寄存日期： 寄存號碼：

五、發明說明 (1)

發明領域

本發明係關於一種相位解調之符號時序回復電路及其方法，特別是關於一種僅在極座標平面運算即可求得最佳取樣點位置之符號時序回復電路及其方法。

發明背景

在數位無線電基頻調變技術中， $\pi/4$ -DQPSK基頻解調變技術已被廣泛地使用，如北美的USDC與PACS系統、日本的PDC與PHS等系統均採用 $\pi/4$ -DQPSK基頻調變及解調變技術作為系統無線電數據機設計技術，其主要優點在於其頻帶使用效率高、功率效能高與接收機容易製作等。

習知之 $\pi/4$ -DQPSK基頻調變及解調技術係在發送端進行傳送信號之調變，且將信號以($\frac{\pi}{4}$ 、 $\frac{3\pi}{4}$ 、 $\frac{5\pi}{4}$ 和 $\frac{7\pi}{4}$)四種相位值作為連續相鄰信號之相位差值，並藉以表示所傳送之位元訊息。

當接收端進行解調變時，先將所接收之中頻信號經由一類比／數位轉換器轉換為數位信號，再傳送至一數位前端(digital front end)而求得數位基頻同相信號 I_n 與數位基頻正交信號 Q_n 。之後轉換至直角座標平面進行運算而求得最佳取樣位置，且回復發送端之傳送信號。以上技術可見於美國專利號碼4,941,155，標題為"METHOD AND CIRCUITRY FOR SYMBOL TIMING AND FREQUENCY OFFSET ESTIMATION IN TIME

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

DIVISION MULTIPLE ACCESS RADIO

SYSTEMS"之專利說明書內。該習知技藝係以數位基頻同相信號 I_n 與數位基頻正交信號 Q_n 作為輸入信號，且以下列步驟進行符號時序回復方法：

(1) 求得該輸入信號之相位差 (differential phase)

$\Delta\theta$ ；

(2) 將該相位差乘以 4；

(3) 由極座標轉換至直角座標；

$$(X, Y) = (\cos 4\Delta\theta, \sin 4\Delta\theta)$$

(4) 使用 16 個累加器以求得 16 個向量總和，其中

$$f_i(X, Y) = \left(\sum_{n=16N+i} X_n \right)^2 + \left(\sum_{n=16N+i} Y_n \right)^2; \text{ 其中 } 1 \leq i \leq 16$$

(5) 最佳取樣位置即為 $f_i(X, Y)$ 出現最大值的位置。

然而前述方式過於複雜，特別是在極座標與直角座標間進行多次的數學運算轉換，不僅運算方法過於煩瑣，且會增加執行時間。

發明之簡要說明

本發明之第一目的係提供一種相位解調之符號時序回復電路及其方法，藉由尋找一符號內之最佳取樣點，以正確地回復信號序列之符號時序。

本發明之第二目的係簡化解調變器之符號時序回復電路及其方法，以簡化運算步驟且縮短執行時間。

為了達到上述目的，本發明提出一種符號時序回復電路及其方法，係在極座標平面藉由相鄰符號間同一取樣點取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (3)

得同相信號與正交信號之相位差後，與一預設相位值相減取平方當作運算子，再逐一計算一符號內每一取樣點之相位差總值，而找出符號週期中之最佳取樣點位置，以正確地回復信號序列之符號時序。藉由以上特性，本發明不僅電路結構簡單，且具有簡化運算步驟及縮短執行時間之優點。

本發明之符號時序回復電路之一實施例，係用於相位解調器上，藉由從相鄰符號間的同一取樣點取得數位同相信號及數位正交信號之相位差後，以尋找在符號週期中之最佳取樣位置，其包含一差值產生電路、一選擇電路、一累加器模組及一比較模組。該差值產生電路係先將上述相位差對映至相位平面的第一象限，再減去一預設相位值，並將該差值取平方。該選擇電路係連接該差值產生電路，用以將一符號中每一取樣點所運算之相位差平方值依序對應輸出。該累加器模組係包括有與一符號中相同於取樣點個數之累加器，該等累加器分別接收來自該選擇電路之輸出，每一累加器用以累加連續相鄰符號間同一取樣點之相位差。該比較模組係依據上述累加器計算所得相位差總值加以比較，當其中一個累加器計算所得相位差總值為最小值時，該累加器對應之取樣點即是最佳取樣點。

本發明之符號時序回復電路之另一實施例，係用於相位解調器上，藉由從相鄰符號間的同一取樣點取得數位同相信號及數位正交信號之相位差後，以尋找在符號週期中之最佳取樣點，其包含一差值產生電路、一運算電路、一延

五、發明說明 (4)

遲電路模組及一比較模組。該差值產生電路係先將上述相位差對映至相位平面的第一象限，再與一預設相位相減，並將該差值取平方。該運算電路係將相鄰符號間同一取樣點之相位差平方值進行相加運算。該延遲電路模組係包括有與一符號中相同於取樣點個數之延遲電路，每一延遲電路串列連接，最後一個延遲電路之輸出並與該差值產生電路藉由該運算電路進行運算再傳送至第一延遲電路。該比較模組係依據上述延遲電路模組將一符號之每一取樣相位差循環運算所得之相位差總值加以比較，當其中一個延遲電路計算所得相位差總值為最小值時，該延遲電路對應之取樣點即是最佳取樣點。

本發明符號時序回復方法之一實施例，係用於相位解調器上，藉由從相鄰符號間的同一取樣點取得數位同相信號及數位正交信號之相位差後，以尋找在符號週期中之最佳取樣點，其包含步驟(a)至(d)。在步驟(a)，將上述相位差對映至相位平面的第一象限。在步驟(b)，將對映至第一象限之相位差與一預設相位值相減，並將該差值取平方。在步驟(c)，逐一運算一符號內每一取樣點之相位差值，並累加連續相鄰符號間同一取樣點之相位差值。在步驟(d)，比較出其中一個取樣點之相位差總值為最小值時，該對應之取樣點即是最佳取樣點。

此種架構亦可用軟體來製作，因其架構簡單、運算少，因此使用軟體來製作時，同樣具有前述的優點。

圖式之簡單說明

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

五、發明說明 (5)

本發明將依照後附圖式來說明，其中：

圖 1 係根據本發明之符號時序回復電路之相位解調器之方塊圖；

圖 2 係根據本發明之符號時序回復電路之一較佳實施例的方塊圖；

圖 3 係根據本發明之符號時序回復電路之另一較佳實施例的方塊圖；及

圖 4 係根據本發明之符號時序回復方法之流程圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

元件符號說明

10 射頻電路	20 類比 / 數位轉換器
30 匹配濾波器	40 相位差產生電路
50 符號時序回復電路	60 符號時序回復電路
51 差值產生電路	52 選擇電路
53 累加器模組	54 比較模組
531 第一累加器	532 第二累加器
533 第二十五累加器	
61 等值產生電路	62 運算電路
63 延遲電路模組	64 比較模組
631 第一延遲電路	632 第二延遲電路
633 第二十五延遲電路	

較佳實施例說明

五、發明說明 (6)

請參考圖1及圖2所示，圖1係為包括本發明符號時序回復電路之相位解調器方塊圖。整個解調器係包括一射頻電路10、一類比／數位轉換器20、一匹配濾波器30、一相位差產生電路40及一符號時序回復電路50，其中該射頻電路10產生一類比中頻信號，經傳送一類比／數位轉換器20，轉換成匹配濾波器30而產生一同相(in-phase)信號 I_n 及正交(quadrature)信號 Q_n ，該同相信號與正交信號決定一相位 $\theta = \tan^{-1}(Q_n/I_n)$ 。其中在本實施例中，該類比／數位轉換器20係以25倍於符號速率(symbol rate)之取樣速率(sample rate)對該同相信號與正交信號進行取樣，因此一個符號內有25個取樣點。該相位差產生電路40係依據每一取樣點對應之同相信號及正交信號而先決定一相位 θ ，該相位 θ 與前一符號之同一取樣點所決定相位之差值，稱為第一相位差 $\Delta\theta_n^1$ ，其中該 $\Delta\theta_n^1$ 值係以二進制之數位形式表示， $\Delta\theta_n^1 = \theta_n^1 - \theta_{n-25}^1$ ，n代表所有取樣點之序號，而 θ_n^1 與 θ_{n-25}^1 代表相鄰符號間之同一取樣點之相位。

本發明較佳實施例之符號時序回復電路50係包括一差值產生電路51、一解多工器52、一累加器模組53及一比較模組54，該差值產生電路51先將該第一相位差 $\Delta\theta_n^1$ 對映至相位平面的第一象限，在本實施例中，係拿掉第一相位差 $\Delta\theta_n^1$ 之最高兩個位元，此時所得之相位稱為第二相位差 $\Delta\theta_n^2$ ，再將該第二相位差 $\Delta\theta_n^2$ 與 $\pi/4$ 之差值取平方，亦即

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

$(\Delta\theta_n^2 - \frac{\pi}{4})^2$ ；在此值得一提的是，第一相位差 $\Delta\theta_n^1$ 在未有相位

偏移及雜訊的理想情況下，應為 $\pi/4$ 、 $3\pi/4$ 、 $5\pi/4$ 或 $7\pi/4$ 之中一種，在第一相位差 $\Delta\theta_n^1$ 對映至第一象限，第二相位差 $\Delta\theta_n^2$ 即僅變成 $\pi/4$ ，故以第二相位差 $\Delta\theta_n^2$ 與 $\pi/4$ 相減當作尋找最佳取樣點之基礎。

該解多工器 52 係將該差值產生電路 51 所逐一計算 25 個取樣點之 $(\Delta\theta_n^2 - \frac{\pi}{4})^2$ 差值予以依序輸出該 25 個相位差值，亦

即將該 25 個差值分別傳送至該累加器模組 53 所包括之第一累加器至第二十五累加器中進行累加（25 個取樣點分別對應其累加器），以累加連續相鄰符號中同一取樣點之相位差總值。

該比較模組 54 係依據上述 25 個累加器計算所得相位差總值加以比較，當其中一個累加器計算所得相位差總值為最小值時，該累加器所對應之取樣點即是最佳取樣點。

請參考圖 2 所示，一符號中的每個取樣點經過該差值產生電路 51 計算 $(\Delta\theta_n^2 - \frac{\pi}{4})^2$ 之值，再經由該解多工器 52 依序將

該對應的相位差值傳送至該累加器模組 53 對應的累加器中進行累加（第一個取樣點對應第一累加器 531，第二個取樣點對應第二累加器 532，以此類推），因此每一個符號 25 取樣點進來，每一累加器即累加相位差值 $(\Delta\theta_n^2 - \frac{\pi}{4})^2$ 一次，在本實施例中，係藉由累加 60 個相鄰符號間同一取樣點之相位差值來尋找最佳取樣點，故該累加器模組 53 之每一累加器均累加相位差值 $(\Delta\theta_n^2 - \frac{\pi}{4})^2$ 共 60 次；若以數學

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

示表示累加器計算過程，即是第一累加器 531 計算
 $\sum_{n=25k} (\Delta\theta_n^2 - \frac{\pi}{4})^2$ 、第二累加器 532 計算 $\sum_{n=25k+1} (\Delta\theta_n^2 - \frac{\pi}{4})^2$ 、…、第二十五累加器 533 計算 $\sum_{n=25k+25} (\Delta\theta_n^2 - \frac{\pi}{4})^2$ ，其中 $k = 60$ 。

請參考圖 3 所示，係為本發明符號時序回復電路之另一較佳實施例，該符號時序回復電路 60 係包括一差值產生電路 61、一加法器 62、一延遲電路模組 63 及一比較模組 64，其中差值產生電路 61 及比較模組 64 與圖 2 相同，而該延遲電路模組 63 所包括的第一延遲電路 631、第二延遲電路 632 至第二十五延遲電路 633 分別對應於一個符號之 25 個取樣點相位差，因此當一個取樣點相位差經過 25 個延遲電路的延遲時間（從第一延遲電路 631、第二延遲電路 632 至第二十五延遲電路 633），即代表延遲一個符號的時間；亦即，當 25 個取樣點相位差同時經過一個延遲電路時，由該第二十五個延遲電路 633 輸出的第一取樣點相位差會藉由該加法器 62 與第二十六取樣點相位差相加，當再經過一延遲電路時，經由該第二十五延遲電路 633 輸出的第二取樣點相位差會藉由該加法器 62 與第二十七取樣點相位差相加，以此類推，經過 25 個延遲電路時（即延遲一個符號的時間），經由該第二十五延遲電路 633 輸出的第二十五取樣點相位差亦會藉由該加法器 62 與第五十取樣點相位差相加；在本實施例中，係延遲 60 個符號的時間，此時每一延遲電路將每一取樣點相位差循環相加之後，該比較模組 64 從 25 個延遲電路比較找出其中

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（9）

一個延遲電路輸出之相位差總值為最小時，該延遲電路所對應之取樣點即是最佳取樣點；此種方法運算時間雖然較長，但整體電路複雜性較低。

請參考圖4所示，係為相位解調電路在符號時序回復方法之流程圖，藉由從前後相鄰符號間的同一取樣點取得數位同相信號及數位正交信號之相位差後，以尋找在符號週期中之最佳取樣點。在步驟71，將前後相鄰符號間同一取樣點取得之相位差（稱為第一相位差 $\Delta\theta_n^1$ ）對映至相位平面的第一象限，在本實施例中，係拿掉第一相位差 $\Delta\theta_n^1$ 之最高兩個位元以對映至相位平面的第一象限，此時所得之相位稱為第二相位差 $\Delta\theta_n^2$ 。在步驟72，將對映至第一象限之相位差（即為第二相位差 $\Delta\theta_n^2$ ）與一預設相位值 $\pi/4$ 相減，並將該差值取平方，可表示為 $(\Delta\theta_n^2 - \frac{\pi}{4})^2$ 。在步驟73，

係逐一計算一符號內第一取樣點至第二十五取樣點之相位差值，並累加連續相鄰符號間同一取樣點之相位差值，可表示成 $\sum_{n=25k+i} (\Delta\theta_n^2 - \frac{\pi}{4})^2$ ，其中 $1 \leq i \leq 25$ ，且 k 在本實施例中為60，亦即累加60個相鄰符號間同一取樣點之相位差值。在步驟74，比較出其中一個取樣點之相位差總值為最小值時，該對應之取樣點即是最佳取樣點。

本發明之技術內容及技術特點以揭示如上，然而熟悉本項技術之人士人可能基於仍可基於本發明之教示及揭示而作種種不背離本發明精神之替換及修飾。因此，本發明隻保護範圍鷹不限於實施例所揭示者，而應包括各種不背離

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (10)

本發明精神之替換及修飾，並為以下之申請專利範圍所涵蓋。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1. 一種符號時序回復電路，係用於相位解調器上，藉由從相鄰符號間的同一取樣點取得數位同相信號及數位正交信號之相位差後，以尋找在符號週期中之最佳取樣點，包含：
 - 一差值產生電路，係先將上述相位差對映至相位平面的第一象限，再減去一預設相位值，並將該差值取平方；
 - 一選擇電路，係連接該差值產生電路，用以將一符號中每一取樣點所運算之相位差平方值依序對應輸出；
 - 一累加器模組，係包括有與一符號中相同於取樣點個數之累加器，該等累加器分別接收來自該選擇電路之輸出，每一累加器用以累加連續相鄰符號間同一取樣點之相位差；及
 - 一比較模組，係依據上述累加器計算所得相位差總值加以比較，當其中一個累加器計算所得相位差總值為最小值時，該累加器對應之取樣點即是最佳取樣點。
2. 如申請專利範圍第1項所述之符號時序回復電路，其中該差值產生電路之預設相位值為 $\pi/4$ 。
3. 如申請專利範圍第1項所述之符號時序回復電路，其中該選擇電路係為一解多工器。
4. 如申請專利範圍第1項所述之符號時序回復電路，其中一符號內係具有25個取樣點，亦即取樣速率為符號遠

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

率的25倍。

5. 一種符號時序回復電路，係用於相位解調器上，藉由從相鄰符號間的同一取樣點取得數位同相信號及數位正交信號之相位差後，以尋找在符號週期中之最佳取樣點，包括：

一差值產生電路，係先將上述相位差對映至相位平面的第一象限，再與一預設相位相減，並將該差值取平方；

一運算電路，係將相鄰符號間同一取樣點之相位差平方值進行相加運算；

一延遲電路模組，係包括有與一符號中相同於取樣點個數之延遲電路，每一延遲電路串列連接，最後一個延遲電路之輸出並與該差值產生電路藉由該運算電路進行運算再傳送至第一延遲電路；及

一比較模組，係依據上述延遲電路模組將一符號之每一取樣相位差循環運算所得之相位差總值加以比較，當其中一個延遲電路計算所得相位差總值為最小值時，該延遲電路對應之取樣點即是最佳取樣點。

6. 如申請專利範圍第5項所述之符號時序回復電路，其中該差值產生電路之預設相位值為 $\pi/4$ 。

7. 如申請專利範圍第5項所述之符號時序回復電路，其中該運算電路係為一加法器。

8. 如申請專利範圍第5項所述之符號時序回復電路，其中

六、申請專利範圍

一符號內係具有25個取樣點，亦即取樣速率為符號速率的25倍。

9. 一種符號時序回復方法，係用於相位解調器上，藉由從相鄰符號間的同一取樣點取得數位同相信號及數位正交信號之相位差後，以尋找在符號週期中之最佳取樣點，包括：

將上述相位差對映至相位平面的第一象限；

將對映至第一象限之相位差與一預設相位值相減，並將該差值取平方；

逐一運算一符號內每一取樣點之相位差值，並累加連續相鄰符號間同一取樣點之相位差值；及比較出其中一個取樣點之相位差總值為最小值時，該對應之取樣點即是最佳取樣點。

10. 如申請專利範圍第9項所述之符號時序回復方法，其中該預設相位值係為 $\pi/4$ 。

11. 如申請專利範圍第9項所述之符號時序回復方法，其中一符號內係具有25個取樣點，亦即取樣速率為符號速率的25倍。

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

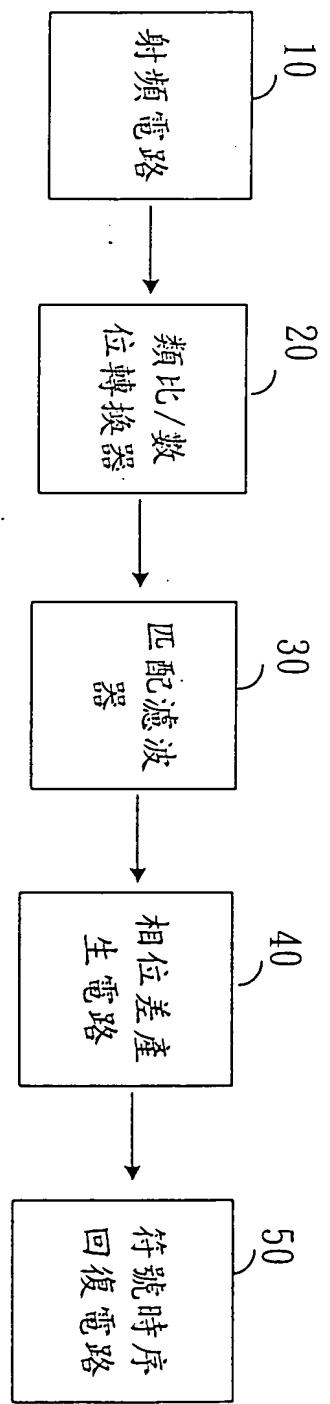
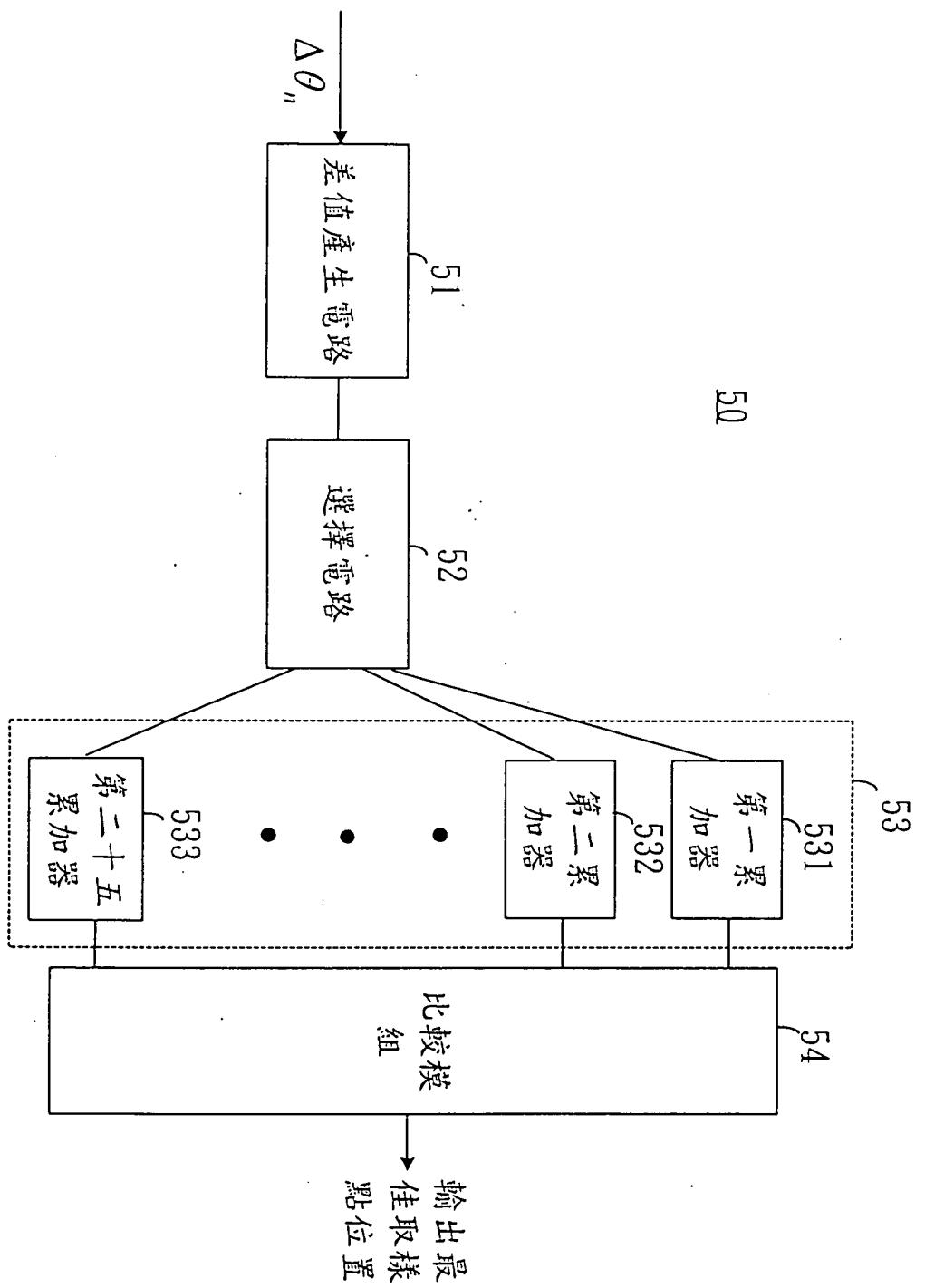


圖 1



四
2

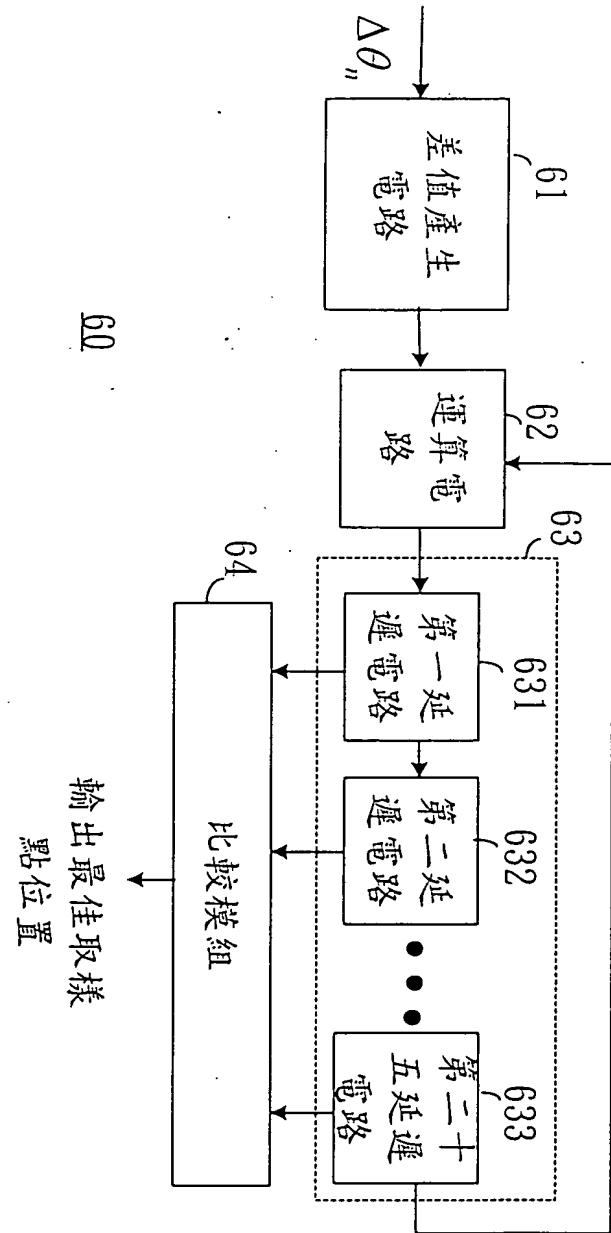


圖 3

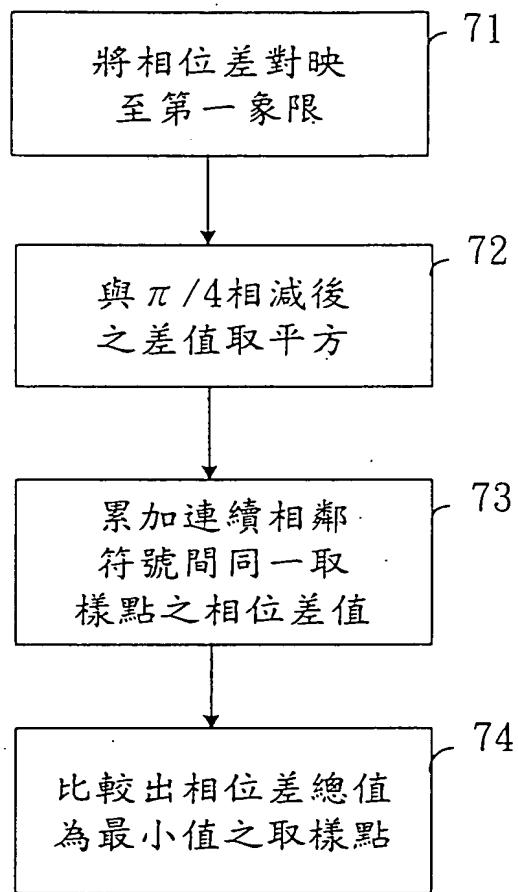


圖 4